TRAB
ITC 2004
U5

MAQ2358

ING. LUIS G. URIBE C.

Trabajo de Ascenso, Universidad Católica Andrés Bello

Universidad Católica Andrés Bello
BIBLIOTECA
Caracas

Transformaciones entre flip-flops

TRAB
ITC2004
U5

ING. LUIS GUILLERMO URIBE CATAÑO

Transformaciones entre Flip-Flops

© 2004 Ing. Luis G. Uribe C.
Universidad Católica Andrés Bello
Caracas, Venezuela

Contenido

Contenido

Prólogo 2

Antecedentes Históricos 4

Metodología Convencional 8

Diagramas de Estado 9

Asignación de Estados 10

Matriz de Estados Futuros 11

Matrices de Control, Mapas de Karnaugh y Ecuaciones de Control 11

Diagrama Lógico o Circuital 12

Ejemplo 12

Tabla de Transiciones 13

Matriz de Estados Futuros 13

Tabla de Excitación para los flip-flops tipo D, J-K y T 14

Matrices de Control para los flip-flops tipo J-K 14

Mapas de Karnaugh y Ecuaciones de Control para los flip-flops tipo J-K 15

Transformación entre Flip-Flops D y J-K 16

Antecedente 16

Deducción de la Transformación 17

Transformación entre Flip-Flops D y T 22

Compendio y Ejemplos 24

Procedimiento Completo 24

Flip-Flops tipo "D" 24

Flip-Flops tipo "J-K" 24

Flip-Flops tipo "T" 25

Ejemplo 1: Síntesis 25

Tabla de Transiciones 25

Mapas de Karnaugh y Ecuaciones de Control para los flip-flops tipo D (y J-K) 26

Ejemplo 2: Síntesis 26

Ejemplo 2: Síntesis 27

Ejemplo 3: Síntesis 29

Ejemplo 4: Análisis 30

Bibliografía 31

Prólogo

Simplificación del Diseño de Circuitos Secuenciales Digitales Mediante la Aplicación de Cierta Transformación entre Flip-Flops "D, J-K y T".

EL autor ha tenido la oportunidad de demostrar la existencia de una sencilla relación entre varios elementos (flip-flops) de los que se emplean de forma rutinaria en el desarrollo de circuitos secuenciales digitales; esa relación permite, en primer lugar, encarar el trabajo de diseño como si fueran a emplearse flip-flops tipo **'D'** para los cuales, por la naturaleza de sus Tablas de Excitación, resulta de la mayor sencillez el procedimiento clásico convencional y, en segundo lugar, ejecutar una transformación de una manera simple, y sobre todo mecánica, para obtener el resultado como si la actividad de diseño se hubiera realizado para los dispositivos más complejos, como serían por ejemplo los flip-flops del tipo **'J-K'**, que de manera histórica han sido siempre los que ostentan la mayor predilección de la industria.

El método que a continuación se introduce reduce de manera sustancial esta sección del proceso de diseño clásico. Mediante las transformaciones entre flip-flops **"D, J-K** y **T"** se obtienen –casi en un solo paso– las cuatro Ecuaciones de Control (**D, J, K** y **T**), derivadas todas de un único y solitario Mapa de Karnaugh, inferido en forma directa a partir del Diagrama de Estados o de la Matriz de Estados Futuros, según lo decida el ingeniero proyectista. Se logra, además, una inobjetable ganancia en la claridad del diseño, pues éste se basa en comenzar con aquellos dispositivos que son más comprensibles, aunque el resultado se aplique con posterioridad a los elementos que con mayor frecuencia se usan, pero que son más entreverados en su asimilación, comprensión y manejo. Son evidentes las economías que en esfuerzo y trabajo se consiguen, y hay una merma sensible en la posibilidad de cometer errores, gracias a la mayor simplicidad de todo el procedimiento. Las anteriores características hacen de ésta una cómoda herramienta, invaluable en el diseño de Redes Secuenciales.

Esta presentación se encuentra distribuida a lo largo de cinco capítulos. En el primero, *Antecedentes Históricos*, se trata de ubicar el tema central en perspectiva, focalizándolo dentro del devenir del procedimiento clásico del diseño. El segundo capítulo ofrece un resumen de la *Metodología Convencional*, a fin de facilitar la comparación con el nuevo procedimiento aquí propuesto. El material que se recoge en esta sección es breve por necesidad –pues una presentación completa coparía un volumen entero– pero se incluyen al final referencias bibliográficas actualizadas, para auxiliar al lector interesado.

El capítulo 3, *Transformación entre Flip-Flops **D** y **J-K***, corresponde al tema central. Allí se realiza paso a paso la Deducción del Método, y se muestra con la mayor sencillez la manera como unos mapas hechos para el Flip-Flop D, el más simple de los dispositivos, sirven para obtener las Ecuaciones de Control de otros elementos más complejos, como los Flip-Flops J-K. La prueba de la transformación es muy sencilla y en ella se emplea la inducción perfecta, pues se analizan todos los casos posibles de manera exhaustiva.

El capítulo 4, *Transformación entre Flip-Flops **D** y **T*** muestra, en forma sucinta, cómo puede extenderse el método también a los Flip-Flops tipo **T**; por último, el capítulo 5 compendia el proceso y en él se desarrollan varios *Ejemplos* para ilustrar con detalle el procedimiento y tratar de despejar cualquier posible duda. Si hubiera que leer uno sólo de los capítulos, éste debería ser el quinto.

Resulta raro, y curioso por decir lo menos, que una técnica tan sencilla como eficaz no se haya empleado hasta el momento ni en la docencia ni durante la práctica profesional, pero puede verificar el lector por sí mismo que los libros de texto, tanto antiguos como modernos, y de autores tan reconocidos como Wakerly, Tocci, Mano, Gajski, Floyd y muchos más, la han ignorado por completo (cfr. Material bibliográfico al final.) Es una pena que haya ocurrido así, pues el aspecto didáctico de los capítulos correspondientes al diseño secuencial podría mejorarse con gran efectividad si se pusiera en práctica esta novedosa metodología en aquellos impresos a los que recién se ha hecho mención. El beneficio para los estudiantes sería innegable.

Es de esperar, por tanto, que este documento sirva como referencia a los interesados en simplificar sus vidas, que buena falta nos hace, y de complemento en el tema a la literatura más cotidiana. El material ha sido empleado ya durante más de un año en las clases relacionadas con los Circuitos Digitales que se imparten en la Escuela de Telecomunicaciones de la Universidad Andrés Bello UCAB, y los resultados han sido los previstos.

El autor ha tenido la fortuna de haber transitado por el camino del desarrollo tecnológico, yendo desde el relé y el tubo de vacío hasta el Pentium y el Internet, y ofrece con el mayor placer esta pequeña contribución.

Ing. Luis G. Uribe C.

Caracas, Noviembre de 2004

Capítulo

1

Antecedentes Históricos

La historia de la tecnología está cada vez más próxima.

Capítulo 1

Antecedentes Históricos

La historia de la tecnología está cada vez más próxima.

RESULTA muy apropiada la costumbre de introducir temas novedosos en el área de la tecnología, con una presentación de la perspectiva y del caudaloso devenir histórico, aunque se haga de manera sucinta, porque para la audiencia –sobre todo la más juvenil– resulta siempre este enfoque de lo más motivante, en particular en esta área tan excitante y moderna que se relaciona con los sistemas digitales, las computadoras, los microprocesadores, las telecomunicaciones y el Internet. Bosquejar ese marco referencial es, pues, el propósito de este capítulo, que por necesidad resulta somero porque hay la intención de no distraer del tema central la atención del lector, más allá de lo que sea conveniente.

Esta maravillosa actualidad tecnológica que hoy por hoy nos arroba cuenta con una pléyade de precursores, de la estatura nada más y nada menos que de personajes como Napier y su invento maravilloso de la Regla de Cálculo ("Napier bones"), que acompañó las huestes de ingenieros a lo largo de no menos de trescientos años; Pascal y su Máquina de Sumar, elaborada con el elevado propósito de descargar las fatigas laborales de su padre, contador de oficio y tenedor de libros; Jacquard y sus telares programables, que además de permitir la elaboración de primorosas piezas de tela, encendieron la chispa en la imaginación de Babbage, lo que dio por fruto la creación y construcción de sus máquinas Diferencial y Analítica.

En los últimos ciento cincuenta años sobresalen Boole y su álgebra del razonamiento, que proporcionó la herramienta matemática para la disciplina digital un siglo después; Hollerit y su sistema mecanizado de manipulación de tarjetas perforadas con el que realizó el procesamiento automático del censo norteamericano de 1890 y cuya empresa terminó siendo la perenne IBM, siempre actual. Se transmonta luego el escenario desde las máquinas tabuladoras hasta los computadores electromecánicos originales, en donde los relés sirvieron de piedra angular, y se llega después a los primeros circuitos multivibradores biestables electrónicos, hechos con válvulas o tubos de vacío ("vacuum-tubes" en inglés.), y con los cuales se conformaron también los primeros amplificadores y demás dispositivos de comienzos de la era electrónica en los albores del siglo XX.

El primero de estos multivibradores electrónicos, capaz de almacenar dos estados de una variable (o un bit), fue conocido como flip-flop Eccles-Jordan por el apellido de sus inventores; este biestable constaba de dos triodos, cruzados de tal manera que la placa o salida del uno alimentaba la grilla o entrada del otro y viceversa. Las señales de control externas se inyectaban como pulsos a cada una de las grillas mediante sendos condensadores de desacople y recibían el nombre de "trigger inputs" o entradas de disparo. Fue con estos circuitos que se diseñaron los registros de almacenamiento del ENIAC, el primer calculador electrónico de la historia, que perseguía como principal objetivo la elaboración de tablas de logaritmos y funciones trigonométricas para facilitar los cálculos balísticos de los aliados en la segunda guerra mundial, propósito que no logró cumplir a tiempo pues su operación se retrasó hasta después de terminado el conflicto bélico.

El siguiente paso consistió en reemplazar las válvulas de vacío por los novedosos transistores manteniendo idéntica la configuración; es decir, el colector (salida) de un transistor iba conectado a la base (entrada) del otro y viceversa. Incluso se mantuvo el empleo de las dos fuentes de alimentación eléctrica del diseño original, una positiva y otra negativa. El desarrollo continuó al eliminarse, primero, el suministro de voltaje negativo –para lo cual se incluyó un sistema de auto polarización para cada transistor mediante la instauración de una resistencia, común para los dos emisores– y al añadirse también el acceso de señales d-c de control, o variables de niveles, además de las antiguas entradas pulsantes. El dispositivo cambió poco a poco de nombre adoptando el que se hizo más popular, flip-flop Set-Reset, con el cual se lo conoció desde entonces por razón de la funcionalidad de sus dos entradas de control.

El procedimiento de elaboración de circuitos tales como "Registros" no era nada complicado, sobre todo después de haberse inventado y puesto a funcionar el primer modelo, pues bastaba con conectar los diferentes flip-flops Set-Reset (S-R) en la configuración estándar. Menos mal que al verse encarados los ingenieros con la elaboración de autómatas específicos basados en tales multivibradores, la teoría básica y fundamental del diseño llegó de la mano de D. A. Huffman (1954) primero, y de G. H. Mealy (1955) y E. F. Moore (1956) después. Estos últimos le dieron su nombre a las dos categorías de redes secuenciales que desde entonces se conocen: las renombradas máquinas de Mealy y de Moore.

Como resultó también que uno de los usos más frecuentes para los flip-flops era el de la formación de contadores de pulsos, muy pronto se unieron en una sola las dos entradas Set y Reset, mediante la adición de un dispositivo electrónico basado en diodos de silicio, que permitía que una sola señal de activación (por lo común, un pulso) dispusiera al circuito –en forma alternativa– en la posición Set primero y luego en el estado de Reset. A esta línea de control externa se la denominó en inglés "Toggle", descriptivo de esta funcionalidad, y aquellos circuitos fueron conocidos desde entonces como flip-flops tipo "T".

El primero en establecer una metodología que unificara el procedimiento de diseño para todas las clases de flip-flops, los de tipo "S-R", los "T", y algunos otros que para su época ya habían aparecido (S-R, Set overrides Reset; S-R, Reset overrides Set, etc., que fueron los predecesores cercanos de los biestables tipo "J-K") fue P. M. Marcus en su clásico libro: "Switching Circuits for Engineers", 1967 (cfr. bibliografía al final.)

Marcus, padre de la metodología actual, introdujo varios símbolos que le permitieron definir, según su novedoso procedimiento de diseño, el comportamiento de todos los biestables de su época en lo que sería el equivalente en grande de la actual Tabla de Excitación, y los aplicó de acuerdo a las variaciones que pudieran ocurrir en las entradas de sus flip-flops de la siguiente manera: una transición se definía como "0" si el circuito estaba en cero y debía continuar en cero; "1" si se encontraba en uno y debía seguir en uno; "**0**" si el dispositivo reposaba en uno y debía colocarse en cero, y "**1**" si se encontraba en cero y debía ir a uno. Debe recalcarse que en aquella época no eran comunes ni los dispositivos J-K ni los D, pero de los que en la actualidad aún se mencionan, sí figuraban los flip-flops tipo S-R y los tipo T; los demás, aquellos con alguna entrada que hacía "override" sobre la otra, hace tiempo que han desaparecido ya de la escena y su estudio no reviste ningún interés práctico en la actualidad.

Quince años atrás (1938), C. E. Shannon –padre de las comunicaciones modernas– había propuesto el empleo del álgebra de Bool (que se mantuvo olvidada durante cien años) en la descripción y el diseño de los circuitos digitales o "Switching Circuits", como se los conocía en aquella época. La gran virtud de la aplicación del álgebra booleana a esta disciplina provenía de la adopción de un alfabeto con sólo **dos** símbolos (bivaluada) que definirían lo que cada variable podía almacenar. El procedimiento de Marcus, si bien unificaba el desarrollo, como ya se ha dicho, para todas las clases de flip-flops en boga para su época, tenía dos problemas graves: uno, que no limitaba su alfabeto sólo a los dos símbolos booleanos; el otro inconveniente era que dos de los cuatro elementos de su simbología se diferenciaban de los restantes sólo por *medios tipográficos*, siendo el **0** y el **1**, en negrilla y con un tamaño superior al resto de los caracteres. Este método podía ser adoptado para el trabajo manual, pero un sistema automatizado requiere un conjunto suficiente de símbolos manipulables por un autómata, lo que suele excluir su identificación mediante alteraciones tipográficas de esa índole.

John B. Peatman vino al rescate y en su primera publicación, The Design of Digital Systems, 1972, alteró la representación original de Marcus y adoptó en su lugar los caracteres griegos **α** (alfa) y **β** (beta), manteniendo el significado de los que fueron antes los signos tipográficos de Marcus, con lo cual arregló el inconveniente de la indebida configuración del alfabeto, pero dejó sin resolver el enojoso problema que se suscitaba al introducir símbolos no booleanos dentro de los caracteres de los sistemas digitales.

A partir de Peatman tanto los más renombrados investigadores como los más afamados autores de libros de texto (cfr. Referencias bibliográficas al final) mantuvieron una línea de conducta diferente: Hablaron siempre de una metodología de diseño, particu-

lar, específica y distinta para cada clase de flip-flop, que a la postre se redujeron a los biestables S-R (ahora también desaparecidos), los flip-flop tipo D, los J-K y los tipo T.

Debido a esta situación, en el capítulo siguiente referente a la presentación de la Metodología Convencional, con propósitos comparativos, se hablará exclusivamente de estos procedimientos de uso común en la época post-Peatman; es decir, el tratamiento diferenciado que se da a los diseños según el tipo de flip-flop con que se pretende realizar el circuito final. A aquellos interesados en los procesos seguidos por Peatman y Marcus se les remite a la bibliografía consignada al final del texto.

Capítulo

2

Metodología Convencional

Contrastar el antes y después de la tecnología, ayuda a resaltar con claridad las diferencias.

Capítulo 2

Metodología Convencional

Contrastar el antes y después de la tecnología, ayuda a resaltar con claridad las diferencias.

EL diseño moderno de las Redes Secuenciales parte de la descripción verbal del problema, tal vez presentada de una manera incompleta e inconsistente en su primera aproximación, y finaliza con un diagrama lógico o circuital que permite materializar la solución por medio de un circuito electrónico digital; en el diagrama se especifica en principio el número y el tipo de los flip-flops, y todas las ecuaciones de control necesarias para el funcionamiento de los biestables. Las etapas intermedias entre la formulación del problema y el diagrama final son simples auxiliares metodológicos, y están ahí solo para ayudarnos a transitar el camino desde un extremo al otro. Se encuentra allí una cierta cantidad de alternativas, pues algunos autores aumentan los pasos que deben ejecutarse, con el fin de proporcionar una mayor claridad, otros los condensan, en aras de la mayor efectividad en conseguir resultados. Los que aquí se bosquejan son los elementos más convencionales de la metodología clásica para el diseño de redes secuenciales sincrónicas.

La primera actividad por parte del ingeniero consiste en obtener del problema una descripción verbal precisa, concisa, completa, detallada y sin ambigüedades. Como en cualquier otra etapa de diseño conceptual, la norma aquí es la necesaria iteración entre el ingeniero y el cliente hasta lograr la especificación funcional apropiada. A partir de allí el procedimiento de diseño incluye el desarrollo de al menos las siguientes etapas:

- Diagrama de Estados clásico, o Tabla de Transiciones, con un mínimo número de estados
- Asignación de estados
- Matriz de Estados Futuros
- Una Matriz de Control por cada flip-flop
- Mapas de Karnaugh, uno para cada entrada de control de todos los biestables

- Ecuaciones de Control y de Salida
- Diagrama Lógico o Diagrama Circuital

Esta presentación no pretende hacer exagerado énfasis en actividades de suyo importantes, pero secundarias para la actual línea de razonamiento, tales como los procesos de Minimización de estados –necesarios a fin de mejorar las posibilidades de obtener circuitos económicos; la búsqueda de una Asignación de estados que optimice los costos de elaboración; las complejidades en la manipulación de Mapas de Karnaugh, sobre todo si el número de variables es elevado, y la aplicación de procedimientos alternativos de minimización y de obtención de ecuaciones –equivalentes a los mapas– como el algoritmo automatizable de Quine-McCluskey. Y se omite el énfasis en estos temas debido, en primer lugar, a que ocuparían gran parte de un libro de texto completo, como se señaló en el Prólogo, y en caso de necesidad siempre pueden consultarse las referencias que se ofrecen al final; y también debido a que, en segundo término, son actividades que tienen que tomarse en consideración en ambos procedimientos, tanto en el clásico como en el moderno que aquí se intenta plantear; por tanto, no hacen diferencia alguna respecto del tratamiento conceptual central que nos interesa.

Diagramas de Estado

En una red combinatoria (o combinacional) las salidas son función exclusiva de las entradas; es decir, para cada combinación de entrada se obtiene, siempre, el mismo valor de las salidas. Si se activa el interruptor de la luz ésta se enciende; si se lo desactiva se apaga. Siempre sucede así, a tal punto que puede conocerse la posición del interruptor viendo si hay luz o no.

Una red secuencial tiene memoria, y las salidas en un momento determinado asumen un valor que depende, ya no de la combinación de los estímulos externos, sino de la ***secuencia*** que esas entradas hayan seguido a través del tiempo. Un mismo valor de las variables de entrada puede producir distintas posiciones en las salidas, dependiendo del momento en que se las examine. Puede ofrecerse como ejemplo sencillo la operación del motor de una máquina que posee un botón de reposición, etiquetado como de "arranque y parada". Si alguien quisiera determinar cuál será el comportamiento de la herramienta la próxima vez que se oprima el interruptor, antes de responder habría que averiguar un factor esencial: si el dispositivo se encuentra en reposo o en operación. Dicho de diferente forma, el equipo debe conocer cuál es su "estado" actual para poder reaccionar de manera adecuada al estímulo. Si se visualiza la salida del elemento de control como una variable que toma dos posiciones, "activar" o "desactivar" el motor, resulta claro que unas veces señalará "activar" y otras indicará "desactivar", ante la misma acción de pulsar la entrada. Por tanto, para un mismo estímulo del interruptor de "arranque y parada" la salida toma diversos valores y lo hace basándose en un ele-

mento interno de almacenamiento que memoriza en qué "estado" se encuentra el sistema en un instante específico, antes de la manipulación del botón de entrada.

El comportamiento de una red secuencial no trivial (que tenga más de dos estados), que se describe en principio de manera verbal, suele representarse luego, para propósitos de diseño, mediante un "Diagrama de Estados" en el cual se asigna un elemento gráfico a cada estado (por lo común se los representa por círculos, pero pueden también emplearse rectángulos, en forma análoga a la usada para elaborar diagramas de flujo típicos de algoritmos de computación), y se conectan unos círculos con otros mediante arcos de línea que representan las transiciones que las entradas externas deben provocar en el circuito, formando un grafo dirigido.

A veces el diseñador prefiere realizar una presentación en forma tabular: la Tabla de Transiciones. La información que se presenta de esta manera es la misma que la del Diagrama de Estados pero, para ejercicios pequeños, puede resultar más conveniente esta representación.

A partir de la descripción verbal del problema, el primer paso en el método clásico de diseño de redes secuenciales es, pues, la obtención de un "Diagrama de Estados" o la "Tabla de Transiciones" equivalente, que representen su comportamiento. Resulta casi siempre conveniente, tanto en aras de la sencillez de la descripción como por motivos económicos, eliminar estados redundantes que puedan haber aparecido en el proceso por incomprensión cabal del problema.

Como ya se ha indicado, no es importante para la materia central de este documento si los Diagramas de Estados son mínimos o no, pues este factor no influye en la comprensión y en la exposición que aquí se hace del método.

Asignación de Estados

Un flip-flop es un dispositivo que permite memorizar el valor de un bit (sus dos posiciones, 0 o 1.) Los agente externos a él determinan en qué posición se encuentra observando su salida "**Q**". Los "estados" de un sistema secuencial pueden almacenarse de varias maneras, pero todas requieren que se asignen suficientes combinaciones entre posiciones de salida de diferentes flip-flops, tantas como para permitir individualizar cada uno de los estados requeridos en la red. A esta actividad se la conoce como Asignación de Estados.

Las alternativas al escoger cuántos bits de memoria se van a requerir van desde seleccionar un mínimo número de biestables, hasta el otro extremo en el que se define cada estado mediante un flip-flop. Y la selección de las combinaciones que van a representar los estados, actividad ésta denominada con propiedad Asignación de Estados, abarca también gran variedad de alternativas. Sea cual fuere el método escogido no hace tampoco diferencia alguna en cuanto a la comprensión del tema central; bástenos aquí con

definir que los estados de un cierto sistema se encuentran codificados mediante convenientes combinaciones realizadas entre las salidas "Q" de suficientes biestables.

Matriz de Estados Futuros

Una vez hecha la Asignación de Estados la siguiente representación convencional es la Matriz de Estados Futuros, que consiste en la elaboración de un gran Mapa de Karnaugh en el cual se trata, en lo posible, de colocar las entradas del sistema en la parte horizontal, y las variables de Estado Presente (las salidas actuales de los flip-flops) de manera vertical. Dentro de cada rectángulo se dispone el Estado Futuro que corresponde a ese estado presente y a esa particular combinación de entrada. Como los diversos estados futuros están codificados mediante las combinaciones seleccionadas en el paso de la Asignación de Estados, es claro que en cada cuadrito del mapa han de colocarse *varias* cantidades (tantas cuantas se hayan definido para la combinación de los estados); esto hace que se lo denomine Matriz en lugar de Mapa (lo más convencional es que haya un solo valor dentro de cada rectángulo de los mapas.)

La Matriz de Estados Futuros indica, entonces, dados un estado presente (columnas) y una determinada combinación de variables de entrada (filas), cuáles serán los valores que todos y cada uno de los biestables habrán de asumir (Estado Futuro.) Esta Matriz es exhaustiva: se representan en ella, por completo, los estados presentes y las posibles combinaciones de entrada –incluso aquellos que no participan en un problema en particular y que forman la colección denominada Condiciones de Indiferencia.

Matrices de Control, Mapas de Karnaugh y Ecuaciones de Control

A esta altura del procedimiento surge la perentoria necesidad de seleccionar una familia de biestables con la cual trabajar, ya que el próximo paso, por lo general, es distinto para cada tipo de circuito; se escogen en la actualidad, como ya se ha dicho, entre flip-flops tipo D, J-K o T. Cada biestable tiene un comportamiento definido por intermedio de dos tablas: La Tabla Característica, que indica lo que ocurrirá a la salida de cada dispositivo cuando en el estado presente las entradas de control del flip-flop asuman ciertos valores, y la Tabla de Excitación, en la que se plasma qué valores deben asignarse a las entradas cuando se requiera que el flip-flop, a partir de un determinado estado presente, se desplace hacia un estado futuro escogido. Estas dos tablas son exhaustivas también pues representan todas las posibilidades en las entradas, para la Tabla Característica, y todas las transiciones factibles para la Tabla de Excitación.

La Tabla Característica se emplea en la comprensión de cada componente (análisis) y la Tabla de Excitación se usa más en las actividades de síntesis (diseño.)

A partir de la Matriz de Estados Futuros, y llevados de la mano por la correspondiente Tabla de Excitación del flip-flop seleccionado, hay que producir las Matrices de Control (una por cada biestable de los que sean necesarios en el circuito), especie de Mapa de Karnaugh con la misma apariencia que la Matriz de Estados Futuros y en donde se representan, para cada transición (cada rectángulo), los valores que deben tener las entradas de control del correspondiente flip-flop.

Para finalizar se elabora un Mapa de Karnaugh para cada una de las entradas de control y de allí se obtienen con facilidad, minimizadas según los procedimientos convencionales, las diversas Ecuaciones de Control para todos los flip-flops del sistema.

Diagrama Lógico o Circuital

Obtenidas ya las ecuaciones que gobiernan las entradas de control de los biestables, para que de acuerdo a la secuencia de entrada éstos reproduzcan el comportamiento requerido del circuito, el proceso está terminado para todo propósito práctico.

Obtener a partir de las ecuaciones, el Diagrama Lógico (basado en compuertas AND, OR, NOT, EXOR, NAND, NOR y NEGADORES), o el Diagrama Circuital (empleando alguna familia comercial, como TTL o MOS, indicando las conexiones entre los "chips") es una actividad rutinaria en el diseño digital, que se aplica tanto al procedimiento convencional como a éste método novedoso de las transformaciones entre flip-flops; no hace, por tanto, diferencia entre uno y otro procedimiento.

Ejemplo

Realizar como ejercicio un detector de secuencias de tres bits que contengan un número impar de unos; es decir, I = 001, 010, 100 y 111. Se dejan de lado todos los aspectos que no tengan relación directa con el método de diseño que se expone: no se estudia el diagrama de estados ni su simplificación; no se trabaja en la asignación de estados y tampoco se aborda la ecuación de salida.

El problema se expresa a partir de la siguiente Tabla de Transiciones:

Tabla de Transiciones

Estado Presente	I=0	I=1
S1	S2/0	S3/0
S2	S4/0	S5/0
S3	S5/0	S4/0
S4	S1/0	S1/1
S5	S1/1	S1/0

a)

Estado Presente ABC	I=0	I=1
000	010	001
010	011	100
001	100	011
011	000	000
100	000	000

b)

TABLA 2.1, TABLA DE TRANSICIONES
a) Tabla de Transiciones Simbólica
b) Tabla de Transiciones Asignada
(a los flip-flops A, B y C)

La forma simbólica de la Tabla de Transiciones proviene en forma directa del Diagrama de Estados; el lector puede verificar que la máquina así representada detecta las secuencias especificadas en el enunciado. En la forma Asignada se incluyen las combinaciones que de los 3 flip-flops A, B y C se emplearon para identificar los estados S1 al S5. En la Tabla de Transiciones Asignada se ha eliminado "ex-professo" la salida pues como ya se dijo, no se obtendrá en este ejercicio su ecuación, por no ser relevante.

Matriz de Estados Futuros

AB \ CI	00	01	11	10
00	010	001	011	100
01	011	100	000	000
11	ϕ	ϕ	ϕ	ϕ
10	000	000	ϕ	ϕ

$A^{n+1}\ B^{n+1}\ C^{n+1}$

TABLA 2.2 MATRIZ DE ESTADOS FUTUROS

Como bien se refirió con anterioridad, la Matriz de Estados Futuros es un Mapa de Karnaugh en el que los estados presentes, definidos para este ejemplo por las variables **A**, **B** y **C**, se encuentran en la parte de afuera del mapa, al igual que las entradas (**I** para este ejercicio.) Dentro de cada rectángulo del mapa se colocan los valores que asumirán con posterioridad los flip-flops ($\mathbf{A^{n+1}\ B^{n+1}\ C^{n+1}}$); es decir, el estado futuro que corresponde a cada condición. Nótese que no hay más información en esta matriz que en la

Tabla de Transiciones Asignada, pero la forma de Mapa de Karnaugh facilita la obtención de las ecuaciones de control.

A partir de este punto el procedimiento es específico para cada clase de flip-flop. Se presenta a continuación la Tabla de Excitación para los flip-flops D, J-K y T, que define qué valores habría que colocar en las entradas de control de cada biestable para obtener una transición específica entre un estado actual y un estado futuro:
$Q^n \rightarrow Q^{n+1}$

Tabla de Excitación para los flip-flops tipo D, J-K y T

$Q^n \rightarrow Q^{n+1}$		D	J	K	T
0	0	0	0	ϕ	0
0	1	1	1	ϕ	1
1	0	0	ϕ	1	1
1	1	1	ϕ	0	0

TABLA 2.3, TABLA DE EXCITACIÓN
Flip-Flops D, J-K y T

Este ejercicio se realizará con flip-flops tipo J-K, que son los más laboriosos.

Matrices de Control para los flip-flops tipo J-K

AB \ CI	00	01	11	10
00	0ϕ	0ϕ	0ϕ	1ϕ
01	0ϕ	1ϕ	0ϕ	0ϕ
11	$\phi\phi$	$\phi\phi$	$\phi\phi$	$\phi\phi$
10	ϕ1	ϕ1	$\phi\phi$	$\phi\phi$

J_A , K_A

AB \ CI	00	01	11	10
00	1ϕ	0ϕ	1ϕ	0ϕ
01	ϕ0	ϕ1	ϕ1	ϕ1
11	$\phi\phi$	$\phi\phi$	$\phi\phi$	$\phi\phi$
10	0ϕ	0ϕ	$\phi\phi$	$\phi\phi$

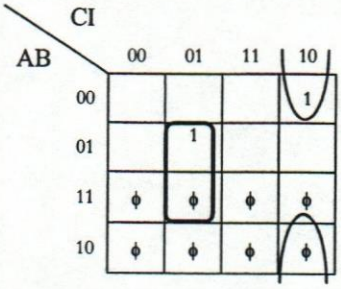
J_B , K_B

AB \ CI	00	01	11	10
00	ϕ0	1ϕ	ϕ0	ϕ1
01	1ϕ	0ϕ	ϕ1	ϕ1
11	$\phi\phi$	$\phi\phi$	$\phi\phi$	$\phi\phi$
10	0ϕ	0ϕ	$\phi\phi$	$\phi\phi$

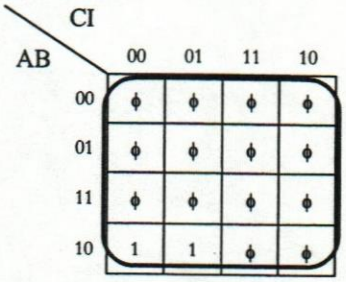
J_C , K_C

FIGURE 2.4 Matrices de Control
para las entradas J y K de cada uno de los 3 flip-flops
A, B y C

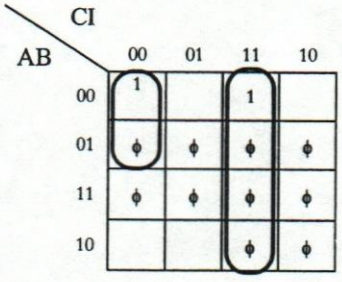
Mapas de Karnaugh y Ecuaciones de Control para los flip-flops tipo J-K



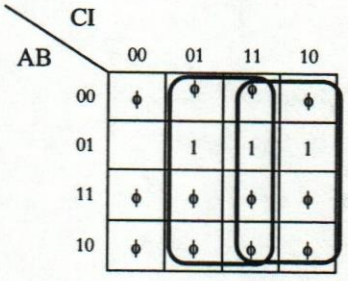
$J_A = B \bullet C' \bullet I + B' \bullet C \bullet I'$



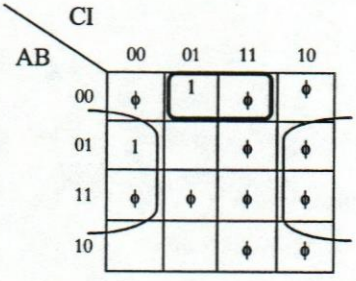
$K_A = 1$



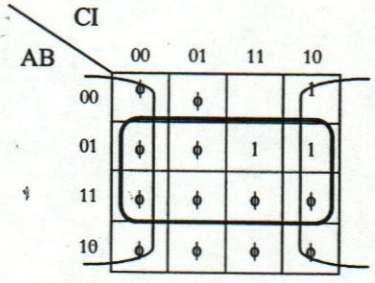
$J_B = A' \bullet C' \bullet I' + C \bullet I$



$K_B = C + I$



$J_C = A' \bullet B' \bullet I + B \bullet I'$



$K_C = B + I'$

TABLA 2.5 Mapas de Karnaugh y Ecuaciones de Control para las entradas J y K de cada uno de los flip-flops A, B y C

Puede verse que la elaboración de los Mapas de Karnaugh es una simple transcripción mecanizada del original (la Matriz de Control) hasta el mapa de cada una de las variables de entrada (J y K en este caso) de los flip-flops (A, B y C para el ejemplo)

Capítulo

3

Transformación entre Flip-Flops D y J-K

Demostración

Capítulo 3

Transformación entre Flip-Flops D y J-K

Demostración

Antecedente

PARA el ulterior desarrollo de esta presentación es importante recordar el siguiente resultado de minimización de funciones: Cuando un Mapa de Karnaugh está poblado de condiciones de indiferencia en la mitad correspondiente a una variable, ya sea afirmada (**B**), ya sea negada (**B'**), dicha variable se *desvanece* de la expresión final. Esto puede ilustrarse de la siguiente forma:

TABLA 3.1
Eliminación de la variable **B**

B\A	0	1
0	a_0	a_1
1	b_0	b_1

(a)

B\A	0	1
0	a_0	a_1
1	ϕ	ϕ

(b)

B\A	0	1
0	ϕ	ϕ
1	a_0	a_1

(c)

La ecuación general, extraída del mapa (a) de la Tabla 3.1, es la siguiente:

$$F(A, B) = (A' \bullet B') \bullet a_0 + (A' \bullet B) \bullet a_1 + (A \bullet B') \bullet b_0 + (A \bullet B) \bullet b_1$$

Al definir $\mathbf{b_0}$ y $\mathbf{b_1}$ –que ocupan la mitad del área de **B** o de **B'**– como condiciones de indiferencia en los mapas (b) y (c) de la Tabla 3.1, puede verse que la ecuación se reduce a:

$$F(A, B) = A' \bullet a_0 + A \bullet a_1 = \mathbf{F(A)}$$

La variable **B** desaparece de una expresión así. Este resultado es importante porque se aplicará en el planteamiento que se expone a continuación.

Deducción de la Transformación

LOS flip-flops tipo "D" son los dispositivos más sencillos de manejar a la hora de obtener las ecuaciones de control –a partir del Diagrama de Estados o de la correspondiente Tabla de Transiciones –, porque su Tabla de Excitación indica que una transición de la variable de salida, desde un valor dado hasta otro cualquiera, **nunca** depende del Estado Presente; sólo del Estado Futuro. Puede verificarse, inspeccionando la Tabla de Excitación del biestable tipo D, que si se desea que el Estado Futuro sea **0**, la entrada "D" deberá colocarse en **0**, con independencia del estado actual del flip-flop; y si se requiere que el Estado Futuro sea **1**, la entrada "D" tendrá que valer **1** para lograrlo, sin importar en qué Estado Presente se encuentre. Queda claro que en términos algebraicos existe la siguiente relación para cualquier flip-flop tipo D (identificada como **Resultado R1**):

$$\mathbf{D = Q^{n+1}} \quad \text{(El estado futuro y la variable de control son lo mismo)} \quad \textbf{(R1)}$$

Este hecho resulta muy conveniente porque, para el caso de biestables tipo "D", el Diagrama de Estados o la Tabla de Transiciones equivalente, en los que se señalan los Estados Presentes y los Estados Futuros, *puede verse también como si representaran Estados Presentes* ***y Variables de Control "D"***.

Para los demás ***tipos*** de flip-flop la situación no es tan sencilla y es preciso analizar ambas condiciones: en qué estado se encuentra el biestable y qué estado se desea que adopte.

Esta sencillez no es una novedad; lo que sí sería innovador es que se pudieran obtener las ecuaciones para los demás biestables a partir de los Mapas de Karnaugh realizados para los flip-flops del tipo "D", pues se lograría así lo mejor de ambos mundos: diseñar con el dispositivo más simple, y obtener la respuesta al problema con los dispositivos más empleados, que no son los más sencillos sino que por el contrario, son los más laboriosos. He ahí el objetivo central de toda la exposición.

Por inducción perfecta va a demostrarse la transformación que relaciona los flip-flops tipo "D" con los "J-K". Las cuatro posibles combinaciones, que son todas las que pueden formarse entre Estados Presentes y Estados Futuros para un solo biestable, se muestran en la Tabla 3.2; en ella los valores externos corresponden al Estado Presente, y los valores dentro de las celdas son los Estados Futuros que se desea alcanzar:

TABLA 3.2

Las cuatro posibles combinaciones entre el estado presente y el estado futuro, para un solo flip-flop

$\backslash Q^n$	0	1
	0	0

(0) Q^{n+1}

$\backslash Q^n$	0	1
	0	1

(1) Q^{n+1}

$\backslash Q^n$	0	1
	1	0

(2) Q^{n+1}

$\backslash Q^n$	0	1
	1	1

(3) Q^{n+1}

Esta tabla tiene las cuatro combinaciones, numeradas del (0) al (3), y puede leerse de la siguiente manera (tómese como ejemplo el caso 2): La primera casilla indica que el biestable se encuentra en estado 0 (valor de Q^n) y que se desea que el estado futuro, Q^{n+1}, sea 1; la segunda casilla señala que el dispositivo se encuentra en el estado 1 y que debe asumir el valor 0 en el próximo paso. Resulta claro que en la Tabla 3.2 están consideradas todas las posibilidades.

Si esta tabla correspondiera a las 4 Matrices de Estados Futuros de sendos problemas diferentes, donde se involucrara un flip-flop tipo "D" en cada uno de ellos, podrían escribirse de inmediato sus ecuaciones de acuerdo al resultado **(R1)** obtenido arriba, de la siguiente manera:

$$D0 = 0; \qquad D1 = Q^n; \qquad D2 = Q^{n'}; \qquad D3 = 1$$

Analicemos ahora la situación si en lugar de biestables del tipo "D" se tratara de flip-flops "J-K"; los Mapas de Karnaugh resultantes, según la teoría convencional que se resumió en el capítulo anterior, serían los siguientes (en la Tabla 3.3 se repiten una a una –para facilitar la referencia– las cuatro combinaciones de la Tabla 3.2):

TABLA 3.3

Las cuatro posibles combinaciones entre el estado presente y el estado futuro, para un solo biestable, y los Mapas de Karnaugh correspondientes si fueran a emplearse flip-flops tipo **J-K**, obtenidos con la ayuda de la Tabla de Excitación de dichos flip-flops **J-K**.

Puede verse como si se tratara de 4 problemas, cada uno definido mediante una Matriz de Estados Futuros y los correspondientes Mapas de Karnaugh para las variables de control.

Si se tratara de flip-flops tipo "D"

\Q^n	0	1
	0	0

D0 Q^{n+1}

Con flip-flops tipo "J-K"

\Q^n	0	1
	0	ϕ

J0

\Q^n	0	1
	ϕ	1

K0

\Q^n	0	1
	0	1

D1 Q^{n+1}

\Q^n	0	1
	0	ϕ

J1

\Q^n	0	1
	ϕ	0

K1

\Q^n	0	1
	1	0

D2 Q^{n+1}

\Q^n	0	1
	1	ϕ

J2

\Q^n	0	1
	ϕ	1

K2

\Q^n	0	1
	1	1

D3 Q^{n+1}

\Q^n	0	1
	1	ϕ

J3

\Q^n	0	1
	ϕ	0

K3

De acuerdo al procedimiento clásico de diseño revisado en el capítulo anterior, a partir de las Tabla de Transiciones habría que elaborar las Matrices de Excitación y de allí obtener los Mapas de Karnaugh para las variables de control J y K de cada flip-flop, pero en vista de la sencillez del planteamiento se ha procedido a generar de manera directa los mapas definitivos, obviando los pasos intermedios. Y recuérdese por enésima vez que si se tratara de flip-flops tipo D, en lugar de J-K, la Tabla de Transiciones sería **idéntica** al Mapa de Karnaugh para la variable de control D del dispositivo (cfr. resultado **R1**.)

La transformación entre los dos tipos de flip-flops surge a continuación, a partir de las siguientes observaciones:

- Si se comparan con el mayor detenimiento los cuatro casos de la Tabla 3.3, que son exhaustivos, y se restringe primero la atención a las áreas de $\mathbf{Q^{n'}}$, es decir, donde $\mathbf{Q^n}$ vale 0, puede notarse que para esa condición ***siempre*** son iguales los valores de las "J" y los de las "D".

- Si verifica también el área de $\mathbf{Q^n}$ (donde $\mathbf{Q^n}$ vale 1) verá que ***siempre*** hay una condición de indiferencia en todos los mapas de las "J".

> Puede inferirse entonces que **no** se necesita establecer un mapa especial para cada "J", sino que bien puede obtenerse ésta ecuación leyéndola directamente del mapa que se hizo para el flip-flop tipo "D", *mientras se procese con exclusividad el área en donde el flip-flop está* ***negado*** ($\mathbf{Q^{n'}}$).

Como el resto del área (la que se excluye al considerar cada "J", y que es donde el flip-flop está afirmado) se encuentra llena de condiciones de indiferencia, lo que ocurre con la variable $\mathbf{Q^{n'}}$ es que **no** aparecerá en la ecuación de la "J", según se expuso en el ANTECEDENTE.

- Si ahora se hace el mismo análisis para la "K" se encontrará que los valores de las "K" son ***siempre negados*** con relación a los correspondientes valores de las "D", dentro del área donde el flip-flop está afirmado ($\mathbf{Q^n}$.)

- Puede verificarse también que en la otra mitad del mapa (donde el flip-flop está negado: $\mathbf{Q^{n'}}$) ***siempre*** hay una condición de indiferencia en todos los mapas de las "K".

Puede deducirse que **tampoco** es necesario establecer un mapa para cada "K" sino que también su ecuación puede extraerse directamente del mapa que se hizo para la "D", *a condición de que se procese con exclusividad el área en donde el flip-flop está* **afirmado** (Q^n) *'y' que, para seleccionar los implicantes, se tomen los* ***"ceros"*** *en lugar de los "unos".*
(Esta última imposición equivale a negar el mapa de las "D", para que sean idénticos a los de las "K".)

Como el resto del área (la que se omite, y que corresponde al sitio en donde el flip-flop está negado) se encuentra llena de condiciones de indiferencia, ya se sabe que la variable Q^n **no** formará parte de la ecuación lógica para la "K", según la premisa elaborada en el ANTECEDENTE.

Así, pues, si estos mapas hubieran correspondido a cuatro flip-flops tipo "J-K", las ecuaciones podrían escribirse **de inmediato, a partir de los mapas de "D"**, como sigue:

J0 = 0, K0 = 1

J1 = 0, K1 = 0

J2 = 1, K2 = 1

J3 = 1, K3 = 0

El lector puede verificar que se obtendrían los mismos resultados extrayendo las ecuaciones de los 8 Mapas de Karnaugh para los 4 flip-flops "J-K", pero el empleo de la transformación señalada resulta en que sólo se necesiten 4 mapas, los mismos de los convenientes flip-flops tipo "D".

Nótese que la transformación D↔J-K es biunívoca; funciona tanto de D→J-K como de J-K→D. Esta característica es útil en especial para el **ANÁLISIS**, ya que pueden tomarse como punto de partida las ecuaciones "J-K", obtener los mapas de "D" y de allí realizar de manera directa el Diagrama de Estados del circuito o su Tabla de Transiciones, trasladándose también al análisis las conveniencias y economías del procedimiento.

Capítulo

4

Transformación entre Flip-Flops D y T

Demostración

Capítulo 4

Transformación entre Flip-Flops D y T

Demostración

A CONTINUACIÓN se establecerá una relación entre los flip-flops tipo "D" y los tipo "T" que es más o menos equivalente a la que se presentó en el capítulo anterior. Esta transformación tiene la virtud de facilitar y minimizar muchísimo el esfuerzo al trabajar con los flip-flops "T", si se deriva el proceso desde el trabajo realizado para los flip-flops tipo "D". El método resultante no tiene, sin embargo, la misma forma que la transformación anterior.

TABLA 4.1
Las cuatro posibles combinaciones entre el estado presente y el estado futuro, para un solo biestable, y los Mapas de Karnaugh correspondientes para T

\Q^n	0	1
	0	0

D0 Q^{n+1}

\Q^n	0	1
	0	1

D1 Q^{n+1}

\Q^n	0	1
	1	0

D2 Q^{n+1}

\Q^n	0	1
	1	1

D3 Q^{n+1}

\Q^n	0	1
	0	1

T0

\Q^n	0	1
	0	0

T1

\Q^n	0	1
	1	1

T2

\Q^n	0	1
	1	0

T3

Se observa que los mapas de "D" y de "T" tienen la siguiente relación: son ***iguales*** en las áreas de **Q'** (en donde Q vale 0), y son ***contrarios*** en donde el flip-flop está afirmado (**Q**). Para situaciones no triviales se recomienda dibujar por aparte los mapas para los flip-flops tipo "T" (si es que hubiera necesidad de utilizar tales dispositivos), para lo cual *no habría que repetir todo el proceso de diseño*, sino que bastaría con hacer una simple copia mecánica a partir del mapa de "D" de la siguiente manera:

Se transfirien ***intactos*** los valores que se encuentren en el área en donde el flip-flop en cuestión está ***negado*** (**Q'**) y ***negados*** los valores en donde el flip-flop esté ***afirmado*** (**Q**).

Note que la transformación D↔T también es biunívoca; funciona tanto en el sentido D→T como al contrario, de T→D.

Puede proponerse la siguiente nemotecnia para recordar con claridad cuáles son los valores que se niegan y cuáles los que se deben copiar inalterados:

Los valores ***afirmados*** se ***niegan***, y los ***negados*** se ***afirman***.

Con la expresión "los valores ***afirmados*** se ***niegan***" quiere decirse que la información que se encuentra en el área del Mapa de Karnaugh en donde el flip-flop esté ***afirmado*** (**Q**) se traslada negada.

"Los valores ***negados*** se ***afirman***" significa que lo que esté en la porción en donde el biestable esté ***negado*** (**Q'**) se traslada afirmado; desde luego, afirmar un 1 produce un uno y afirmar un 0 produce un cero; por tanto, los valores que se encuentran en el área negada del biestable se copian ***intactos***.

Capítulo

5

Compendio y Ejemplos

Un ejemplo vale más que mil demostraciones

Capítulo 5

Compendio y Ejemplos

Un ejemplo vale más que mil demostraciones

Procedimiento Completo

DEMOSTRACIONES aparte, la metodología propuesta se resume en esta sección, incluyendo todo el procedimiento que, como se verá, es en extremo sencillo. Los primeros pasos son los mismos que en la metodología clásica; se comienza obteniendo el Diagrama de Estados apropiado, de acuerdo al problema planteado; se realiza la Asignación o Codificación de Estados y de allí se deducen en forma directa los Mapas de Karnaugh para las entradas de control de flip-flops tipo "D". Dependiendo de cuál tipo de biestable es el que en realidad se ha decidido emplear, los pasos de la nueva metodología son los siguientes:

Flip-Flops tipo "D"

Si han de emplearse flip-flops tipo "D", se obtienen las ecuaciones de manera inmediata de sus Mapas de Karnaugh.

Flip-Flops tipo "J-K"

Si los biestables que han de usarse son del tipo "J-K", se extraen las ecuaciones de las "J" –de los mismos mapas "D" que acaba de obtenerse– leyéndolas del área en donde el flip-flop para el cuál se está escribiendo la ecuación vale 0 (Área de **Q'**). Al terminar, se eliminan todas las posibles ocurrencias que hubieran quedado de la **Q'** correspondiente ese flip-flop.

Las ecuaciones de las "K" se obtienen –también de los mismos mapas "D"– a partir de los **"ceros"** que se encuentren en el área afirmada correspondiente al flip-flop para el cuál está extrayendo la función (Área de **Q**). Al terminar, se elimina cualquier aparición que hubiera podido ocurrir de la variable **Q** asociada al propio flip-flop.

Flip-Flops tipo "T"

Para obtener las ecuaciones de flip-flops tipo "T" es casi siempre conveniente generar nuevos Mapas de Karnaugh, pero esta es, como ya se dijo, una operación mecánica muy sencilla que se hace transfiriendo *intactos (afirmados)* los valores que se encuentren en el área en donde el correspondiente flip-flop está *negado* (**Q'**) y transfiriendo *negados* los valores en donde el flip-flop esté *afirmado* (**Q**), a partir siempre de los mapas originales de los biestables tipo "D".

Ejemplo 1: Síntesis

SE repetirá aquí, en primer lugar, el mismo ejercicio con el que se ilustró el procedimiento clásico, a efectos de facilitar la comparación de las dos metodologías. El problema consistía en diseñar un detector de secuencias de tres bits que contuvieran un número impar de unos; es decir, I = 001, 010, 100 y 111. En esta sección también se dejan de lado los aspectos que no tengan relación directa con el método de diseño que se propone: no se estudia el diagrama de estados ni su simplificación; no se trabaja en la asignación de estados ni se aborda la ecuación de salida.

El problema se expresa a partir de la siguiente Tabla de Transiciones:

Tabla de Transiciones

Estado Presente	I=0	I=1
S1	S2/0	S3/0
S2	S4/0	S5/0
S3	S5/0	S4/0
S4	S1/0	S1/1
S5	S1/1	S1/0

a)

Estado Presente ABC	I=0	I=1
000	010	001
010	011	100
001	100	011
011	000	000
100	000	000

b)

TABLA 5.1, TABLA DE TRANSICIONES

a) Tabla de Transiciones Simbólica
b) Tabla de Transiciones Asignada
(a los flip-flops A, B y C)

Mapas de Karnaugh y Ecuaciones de Control para los flip-flops tipo D (y J-K)

AB \ CI	00	01	11	10
00	0	0	0	1
01	0	1	0	0
11	ϕ	ϕ	ϕ	ϕ
10	0	0	ϕ	ϕ

$D_A = B \bullet C' \bullet I + B' \bullet C \bullet I'$

$J_A = B \bullet C' \bullet I + B' \bullet C \bullet I'$

$K_A = 1$

AB \ CI	00	01	11	10
00	1	0	1	0
01	1	0	0	0
11	ϕ	ϕ	ϕ	ϕ
10	0	0	ϕ	ϕ

$D_B = A' \bullet C' \bullet I' + B' \bullet C \bullet I$

$J_B = A' \bullet C' \bullet I' + C \bullet I$

$K_B = C + I$

AB \ CI	00	01	11	10
00	0	1	1	0
01	1	0	0	0
11	ϕ	ϕ	ϕ	ϕ
10	0	0	ϕ	ϕ

$D_C = B \bullet C' \bullet I' + A' \bullet B' \bullet I$

$J_c = A' \bullet B' \bullet I + B \bullet I'$

$K_C = B + I'$

TABLA 5.2 Mapas de Karnaugh y Ecuaciones de Control para las entradas D. J y K de cada uno de los flip-flops A, B y C

La elaboración de los Mapas de Karnaugh es un simple procedimiento de transcripción del original, que es la Tabla de Transiciones (o Diagrama de Estados, si de ahí hubiéramos partido) hasta el mapa de cada una de las variables de entrada de los flip-flops "D". Todas las ecuaciones, "D", "J" y "K" salen del mismo mapa para cada flip-flop, A, B y C en el ejemplo.

Ejemplo 2: Síntesis

SE presenta a continuación el diseño del clásico contador en binario natural, base 16, con 4 flip-flops "DCBA", cuya secuencia de conteo es la siguiente (se presenta en forma de Tabla de Transiciones en lugar del Diagrama de Estados, por ser más sencilla de dibujar la tabla que el diagrama; pero éstos son equivalentes, como ya hemos visto):

TABLA 5.3
Tabla de Transiciones para el contador binario natural de 4 bits

D^n	C^n	B^n	A^n	D^{n+1}	C^{n+1}	B^{n+1}	A^{n+1}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	***1***	1
0	0	1	1	0	***1***	***0***	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	***1***	1
0	1	1	1	***1***	***0***	***0***	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	***1***	1
1	0	1	1	1	***1***	***0***	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	1	1	***1***	1
1	1	1	1	***0***	***0***	***0***	0

TABLA 5.4
Mapas de Karnaugh para flip-flops tipo "D"

DC \ BA	00	01	11	10
00	0	0	0	0
01	0	0	**1**	0
D 11	1	1	***0***	1
10	1	1	1	1

D^{n+1}

$$D = D \bullet B' + D \bullet C' + D \bullet A' + D' \bullet C \bullet B \bullet A$$
$$= D \oplus (C \bullet B \bullet A)$$

$J_D = (D') \bullet C \bullet B \bullet A = \mathbf{C \bullet B \bullet A}$ (Un solo uno)

$K_D = (D) \bullet C \bullet B \bullet A = \mathbf{C \bullet B \bullet A}$ (Un solo "cero")

Nota: Se elimina (D') de "J_D" y (D) de "K_D"

DC \ BA	00	01	11	10
00	0	0	**1**	0
01	1	1	***0***	1
11	1	1	***0***	1
10	0	0	**1**	0

C

C^{n+1}

$D_C = C \bullet B' + C \bullet A' + C' \bullet B \bullet A$
$= C \oplus (B \bullet A)$

$J_C = (C') \bullet A \bullet B = A \bullet B$
$K_C = (C) \bullet A \bullet B = A \bullet B$ (Recuerde: se toman los ceros...)
Nota: Se elimina (C') de "J_C" y (C) de "K_C"

DC \ BA	00	01	11	10
00	0	**1**	***0***	1
01	0	**1**	***0***	1
11	0	**1**	***0***	1
10	0	**1**	***0***	1

B

B^{n+1}

$D_B = B' \bullet A + B \bullet A'$
$= B \oplus A$

$J_B = (B') \bullet A = A$
$K_B = (B) \bullet A = A$ (Acuérdese de tomar los ceros...)
Nota: Se elimina (B') de "J_B" y (B) de "K_B"

DC \ BA	00	01	11	10
00	**1**	***0***	***0***	**1**
01	**1**	***0***	***0***	**1**
11	**1**	***0***	***0***	**1**
10	**1**	***0***	***0***	**1**

A

A^{n+1}

$D_A = A'$

$J_A = (A') \bullet 1 = 1$
$K_A = (A) \bullet 1 = 1$ (Recuerde: se toman los ceros...)
Nota: Se elimina (A') de "J_A" y (A) de "K_A"

La solución del ejemplo hecha con flip-flops tipo "T", y la correspondiente obtención de sus Mapas de Karnaugh, se deja como ejercicio trivial para el lector.

Ejemplo 3: Síntesis

DISEÑAR un circuito secuencial sincrónico que produzca en la línea "Z" un pulso del mismo ancho que un período del reloj, cada vez que se oprima una señal de entrada "I". El problema puede ser representado por medio de la siguiente Tabla de Transiciones:

TABLA 5.5
Tabla de Transiciones para el generador de un pulso.
Tabla de Salida Z

I \ Q	0	1	Q 0	1
0	0	0		
I 1	1	1	1	
		Q		Q
	Q^{n+1}		Z	

$$Z = I \bullet Q'$$

$D = I$

$J = I$; $K = I'$ (Este resultado no es sorprendente; así se hace un FF D con J-K)

$T = I \oplus Q$ (Por inspección)

Ejemplo 4: Análisis

Analice el circuito que se especifica a continuación y describa su comportamiento:

$J1 = K1 = E \bullet Q0; \qquad J0 = K0 = E$

TABLA 5.6
Mapas "D" a partir de "J-K"

E \ Q_1Q_0	00	01	11	10
0	0	0	1	1
1	0	1	0	1

Q_1 Q_0

Q_1^{n+1}

E \ Q_1Q_0	00	01	11	10
0	0	1	1	0
1	1	0	0	1

Q_1 Q_0

Q_0^{n+1}

TABLA 5.7
Matriz de Estados Futuros

E \ Q_1Q_0	00	01	11	10
0	00	01	11	10
1	01	10	00	11

Q_1 Q_0

$Q_1^{n+1}\ Q_0^{n+1}$

Se trata de un contador binario ascendente (00, 01, 10, 11), con una línea "E" de habilitación ("Enable").

Se han obviado los siguientes pasos: Mapas de Karnaugh para las dos J y las dos K; Mapas de Excitación. Hubiera podido hacerse en un solo paso la Matriz de Estados Futuros.

Anexo

A

Bibliografía

Anexo A

Bibliografía

Referencias Principales

Marcus P. M., Switching Circuits for Engineers, Prentice-Hall, Inc., First Edition, 1967, Second Edition, 1967, Ch. 19, Pulse-Input Sequential Circuits II, pp. 273-300

Peatman, John B., The Design of Digital Systems, McGraw-Hill, 1972

Otras Referencias

Boole, G., The Mathematical Analysis of Logic, Cambridge, 1847

Boole, G., An Investigation of the Laws of Thought, London, 1854. Dover Publications, Inc., 1954

Burkhardt, W. H., Theorem Minimization, Proceedings of the Assoc. for Computing Machinery, pp. 259-263, May 2-3, 1952

Hamming, R. W., Error Detecting and Error, Correcting Codes, BSTJ, Vol. 29, No. 2, pp. 147-160, April, 1950

Huffman, D. A., The Synthesis of Sequential Circuits, Journal of the Franklin Institute, Vol. 257, No. 3, pp. 161-190, March, 1954; No. 4 pp. 275-303, April, 1954

Huffman, D. A., A Study of the Memory Requirements of Sequential Switching Circuits, Research Lab. of Electronics Technical Report 293, M.I.T., March 14, 1955

Karnaugh, M., The Map Method for synthesis of Combinatinal Logic Circuits, Trans. AIEE, Part I, Communication and Electronics, Vol. 72, pp. 593-599

Kohavi, Svi, Switching and Finite Automata Theory, McGraw-Hill, 1970

Maley, G., **Earle** J., The Logic Design of Transistor Digital Computers, Prentice-Hall, 1963

Mealy, G. H., A Method for Syntesizing Sequential Circuits, BSTJ, Vol. 34, No. 5, pp. 1045-1079, Sept., 1955

Millman, J., **Taub**, H., Pulse, Digital and Switching Waaveforms, McGraw-Hill, 1965

Moore, E. F.,Gedanken-Experiments on Sequential Machines, Automata Studies, pp. 129-153, Princeton University, Princeton, N.J., 1956

Moore, E. F.,Minimal Complete Relay Decoding Networks, IBM Journal of Research and Development, Vol. 4, No. 5, pp. 525-531, Nov., 1960

Moore, E. F., (ed), Sequential Machines: Selected Papers, Addison Wesley, Reading, Mass., 1964

Peterson, W. W., Error-Correction Codes, The M.I.T. Press and John Wiley & Sons, Inc., New York, 1961

Sets of Independent Postualtes for the Algebra of Logic, Trans. Amer. Math. Soc., V5, pp. 288-309, 1904

Shannon, C. E., A symbolic Analysis of Relay and Switching Circuits, Trans. AIEE, Vol. 57, pp. 713-723, 1938

Shannon, C. E., The Synthesis of Two-Terminal Switching Circuits, Bell Systems Technical Journal (BSTJ), Vol. 28, No. 1, pp. 59-98, Jan., 1949

Shannon, C. E., A symbolic Analysis of Relay and Switching Functions, IEEETEC, Vol. EC-14, No. 6, pp. 924-926, Dec., 1965

Veitch, E. W., A Chart Method for Simplifying Truth Functions, Proceedings of the Asoc. for Computing Machinery, pp. 127-133. May 2-3, 1952